



PATENT ABSTRACTS OF JAPAN

(11) Publication number : 60-041844

(43) Date of publication of application : 05.03.1985

(51) Int.CI. H04L 13/00
H04L 5/16

(21) Application number : 58-149979 (71) Applicant : TOSHIBA ENG CO LTD

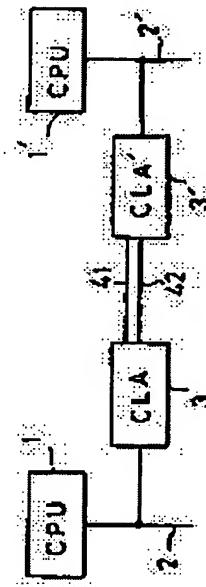
(22) Date of filing : 17.08.1983 (72) Inventor : TAKAHASHI YOSHIKAZU

(54) TRANSMISSION LINE ACQUISITION CONTROL SYSTEM

(57) Abstract:

PURPOSE: To realize a semi-duplex transmission system with a few number of lines by transmitting and receiving a transmission line acquisition request signal and a transmission line acquisition permitting signal through two signal lines.

CONSTITUTION: In transmitting a signal from a CPU1 to a CPU2, a data linkage adaptor CLA3 transmits the transmission line acquisition request signal X to an opposite side adaptor CLA'3' through a signal line 41. The CLA'3' transmits the transmission line acquisition permitting signal Y through a signal line 42 on the condition that a reception request is generated. When a signal Y is not obtained within a prescribed time after the transmission of the signal X, the CLA3 generates an error signal. When the CLA3 receives the signal X from the CLA'3' during the generation of the signal X, the CLA3 transmits the signal Y to the CLA'3' on the condition that the reception request is generated. This is applied to the transmission line acquisition control to transmit signal from the CPU2 to the CPU1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭60-41844

⑤Int.Cl.
 H 04 L 13/00
 5/16

識別記号
 C-7240-5K
 7240-5K

⑥公開 昭和60年(1985)3月5日

審査請求 未請求 発明の数 1 (全7頁)

⑦発明の名称 伝送路取得制御方式

⑧特 願 昭58-149979

⑨出 願 昭58(1983)8月17日

⑩発明者 高橋 良和 東京都港区西新橋1丁目18番17号 東芝エンジニアリング

株式会社内

⑪出願人 東芝エンジニアリング 東京都港区西新橋1丁目18番17号

株式会社

⑫代理人 弁理士 鈴江 武彦 外2名

明細書

1. 発明の名称

伝送路取得制御方式

2. 特許請求の範囲

第1の装置と第2の装置との間で、データを伝送路を介して半二重伝送方式により伝送するシステムにおいて、前記データを伝送する伝送路を取得するにあたり、前記第1・第2の各装置間を第1および第2のデータ・リンクイジ・アダプタを介して2本の双方向性の信号線からなるデータ・リンクイジ伝送路で接続し、前記第1・第2のデータ・リンクイジ・アダプタに以下の(a)～(d)の機能を持たせたことを特徴とする伝送路取得制御方式。

(a) 前記装置の指令により発生する送信要求信号を基に、伝送路取得要求信号を前記一方の信号線へ送出する機能

(b) 相手側装置より前記伝送路取得要求信号を受信した場合、自側の装置の指令により受信要求信号が発生していることを条件に、伝送路

取得許可信号を前記他方の信号線へ送出する機能

(c) 前記伝送路取得要求信号を送出してからこれに対する伝送路取得許可信号を受信するまでの時間が所定時間内にあるか否かを監視し、所定時間内であれば伝送路取得を行ない、所定時間外であるときはエラー判別する機能

(d) 自側の装置による伝送路取得要求信号の発生時に相手側装置より伝送路取得要求信号を受信した場合、自側の装置の指令により受信要求信号が発生していることを条件に、伝送路取得許可信号を前記他方の信号線へ送出する機能

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は半二重伝送方式において、特に伝送路の取得制御を行なう場合の伝送路取得要求信号と伝送路取得許可信号の送受信を2本の信号線で行ない得るようとした伝送路取得制御方式に関する。

〔発明の技術的背景〕

従来から、データの伝送方式としては種々のものがあるが、その一つとして半二重伝送方式が採用されている。この半二重伝送方式は、データを回線上のどちらの方向にも伝送する事が可能であるが、両方向同時に伝送する事ができない方式である。そして、この半二重伝送方式においてデータの伝送を行なう場合には、データ伝送を両方向同時に行なえることから、データ伝送のための伝送路を確保(以下、伝送路取得と称する)することが必要である。このため、従来では伝送路取得の方法として、まずデータを送信する側の装置からこれを受信する側の装置に対して伝送路取得要求信号を送信し、つぎに当該要求信号に対する受信側からの伝送路取得許可信号の送信をまって伝送路取得を行なうようになっている。

〔背景技術の問題点〕

然乍ら、上述したような伝送路取得方法においては、伝送路取得要求信号および伝送路取得許可信号を双方の装置が夫々相手側へ送信でき

るよう、この伝送路取得のための信号線を4本設ける必要があることから、ケーブルコストおよびその敷設工事費が高くなり経済的に不利となる。また、信号伝送のための信号線数が多いと、それだけそれに伴なう故障等の発生頻度も高く信頼性の低下に繋がることになる。

〔発明の目的〕

本発明は上記のような問題を解決するため而成されたもので、その目的は伝送路取得のための信号を伝送する信号線数を少なくして経済性および信頼性の向上を図ることが可能な伝送路取得制御方式を提供することにある。

〔発明の概要〕

上記目的を達成するために本発明では、第1の装置と第2の装置との間で、データを伝送路を介して半二重伝送方式により伝送するシステムにおいて、前記データを伝送する伝送路を取得するにあたり、前記第1・第2の各装置間を第1および第2のデータ・リンクイジ・アダプタを介して2本の双方向性の信号線からなるデ

ータ・リンクイジ伝送路で接続し、前記第1・第2のデータ・リンクイジ・アダプタに以下の(a)～(d)の機能を持たせたことを特徴とする。

(a) 前記装置の指令により発生する送信要求信号を基に、伝送路取得要求信号を前記一方の信号線へ送出する機能

(b) 相手側装置より前記伝送路取得要求信号を受信した場合、自側の装置の指令により受信要求信号が発生していることを条件に、伝送路取得許可信号を前記他方の信号線へ送出する機能

(c) 前記伝送路取得要求信号を送出してからこれに対する伝送路取得許可信号を受信するまでの時間が所定時間内にあるか否かを監視し、所定時間内であれば伝送路取得を行ない、所定時間外であるときはエラー判別する機能

(d) 自側の装置による伝送路取得要求信号の発生時に相手側装置より伝送路取得要求信号を受信した場合、自側の装置の指令により受信要求信号が発生していることを条件に、伝送路取

得許可信号を前記他方の信号線へ送出する機能

〔発明の実施例〕

以下、本発明を図面に示す一実施例について説明する。第1図は、本発明を適用した半二重伝送方式のシステム構成例を示すものである。図において、1, 1'は夫々種々のデータ処理を行なう処理装置(以下、CPUと称する)で、バス2, 2'を介して図示しないデータ伝送路により、半二重伝送方式にてデータの伝送を行ない得るようになっている。一方、3, 3'は上記バス2, 2'に夫々接続された各CPU1, 1'側のデータ・リンクイジ・アダプタ(以下、CLAと称する)で、双方向性の2本の信号線4, 4'から成るデータ・リンクイジ伝送路4'を介して、伝送路取得のための要求信号および許可信号の伝送制御を行ない得るようになっている。

次に、第2図は上記CLA3, 3'の構成例をプロック的に示したものであり、各CLA3, 3'の構成は全く同様であるので、ここでは一方のCLA3のみについて図示説明する。図において、

3 1 は CPU パスインターフェース、3 2 は主制御回路、3 3 は伝送路取得制御回路、3 4 は時間監視回路、3 5 はデータ・リンクケイジ・伝送路インターフェースを表す。主制御回路 3 2 は、CPU パスインターフェース 3 1 を介して得られる CPU 1 からの指令により、伝送路取得のための送信要求信号、受信要求信号、および送信終了信号、受信終了信号を伝送路取得制御回路 3 3 へ出力する機能等を有している。伝送路取得制御回路 3 3 は、上記主制御回路 3 2 からの各信号を基に伝送路取得要求信号、伝送路取得許可信号を送出する機能を有している。時間監視回路 3 4 は、上記伝送路取得要求信号を送信してからこれに対する相手側からの伝送路取得許可信号を受信するまでの時間 T を監視し、タイムオーバーのときその旨の信号を上記主制御回路 3 2 へ出力する機能を有している。データ・リンクケイジ伝送路インターフェース 3 5 は、上記伝送路取得要求、許可信号をデータ・リンクケイジ伝送路 4 を介して相手側との間で送受するもの

である。

第 3 図は、上記伝送路取得制御回路 3 3 およびデータ・リンクケイジ伝送路インターフェース 3 5 の詳細な構成を示したものである。図において、3 3 1 は上記主制御回路 3 2 からの送信要求信号 A と後述する NAND 回路からの出力信号を入力とするアンド回路である。3 3 2 は伝送路取得要求検出用のフリップフロップで、上記アンド回路 3 3 1 の出力信号をプリセット端子入力とし、上記主制御回路 3 2 からの送信終了信号 C または受信終了信号 D の少なくとも一方をクリア端子入力とする。3 3 3 はフリップフロップで、ノット回路 3 3 4 を介して得られる上記送信要求信号 A をデータ端子入力とし、ディレイライン 3 3 5 の遅れ DL1 を介して得られる上記フリップフロップ 3 3 2 の Q 出力信号をクロック端子入力とする。3 3 6 はフリップフロップで、ノット回路 3 3 7 を介して得られる上記 NAND 回路の出力信号をデータ端子入力とし、上記ディレイライン 3 3 5 の遅れ DL1 を

介して得られるフリップフロップ 3 3 2 の Q 出力信号をクロック端子入力とする。3 3 8 は上記フリップフロップ 3 3 3 の Q 出力信号とフリップフロップ 3 3 6 の Q 出力信号を入力とするアンド回路、3 3 9 はフリップフロップ 3 3 3 の Q 出力信号とフリップフロップ 3 3 6 の Q 出力信号を入力とするアンド回路、3 3 10 はフリップフロップ 3 3 3 、3 3 6 の各 Q 出力信号を入力とするアンド回路である。

一方、3 3 11 は伝送路取得要求検出フリップで、上記アンド回路 3 3 8 の出力信号をデータ端子入力とし、ノット回路 3 3 4 の出力信号をクリア端子入力とし、上記ディレイライン 3 3 5 の遅れ DL2 (DL2 > DL1) を介して得られるフリップフロップ 3 3 2 の Q 出力信号をクロック端子入力とし、その Q 出力信号を伝送路取得要求信号として、上記時間監視回路 3 4 へ入力すると共に、ノット回路 3 3 12 を介して上記データ・リンクケイジ伝送路 4 の一方の信号線 4 1 へ出力するようしている。3 3 13 は受信可フリップ

フロップで、後述する NAND 回路の出力信号をプリセット端子入力とし、上記アンド回路 3 3 9 の出力信号をデータ端子入力とし、上記ディレイライン 3 3 5 の遅れ DL2 を介して得られるフリップフロップ 3 3 2 の出力信号をクロック端子入力、後述するノット回路の出力信号をクリア端子入力とし、その Q 出力信号を伝送路取得許可信号として、ノット回路 3 3 14 を介して上記データ・リンクケイジ伝送路 4 の他方の信号線 4 2 へ出力する。3 3 15 はエラーフリップフロップで、上記アンド回路 3 3 10 の出力信号をデータ端子入力とし、上記ディレイライン 3 3 5 の遅れ DL2 を介して得られるフリップフロップ 3 3 2 の出力信号をクロック端子入力とし、上記主制御回路 3 2 からのエラー・クリア信号 E をクリア端子入力とし、その Q 出力信号をエラー信号 ERR として主制御回路 3 2 へ出力する。3 3 16 はこのフリップフロップ 3 3 15 の Q 出力信号と主制御回路 3 2 からの受信要求信号 B を入力とする NAND 回路で、その出力信号を上記

フリップフロップ 3313 のアリセット端子へ入力する。さらに、3317 は上記データ・リンクイジ伝送路 4 の一方の信号線 4-1 より、ノット回路 3318 を介して得られる相手側からの伝送路取得要求信号と、主制御回路 32 からの送信要求信号 A または受信要求信号 B の少なくとも一方を入力とする NAND 回路で、その出力信号を上記アンド回路 331 およびノット回路 337 へ入力する。3319 は上記データ・リンクイジ伝送路 4 の他方の信号線 4-2 より得られる相手側からの伝送路取得許可信号を入力とするノット回路で、その出力信号を上記主制御回路 32 へ出力する。なお、上記で各組中口は正論理、一組は不論理で扱うことの意味している。

次に、かかる構成の動作について第4図～第7図を用いて説明する。まず、いま CPU 1 からの指令により主制御回路 32 より送信要求信号 A が発生すると、伝送路取得制御回路 33 のフリップフロップ 332 が動作し、ディレイライン 335 の遅れ DL1 にて前段のフリップフロップ 333 を動作させ、次

の遅れ DL2 にて伝送路取付要求フリップフロップ 3311 が動作し、伝送路取得要求信号をデータ・リンクイジ伝送路 4 の一方の信号線 4-1 へ送出する。この伝送路取得要求信号に対して、相手側の CPU 1' の CLA 3' から伝送路取得許可信号がデータ・リンクイジ伝送路 4 の他方の信号線 4-2 を介して送られて来ると、CPU 1 側での伝送路取得が完了する(第4図参照)。

一方、上記とは逆に相手側の CPU 1' の CLA 3' より信号線 4-1 を介して伝送路取得要求信号が来た場合は、CPU 1 の指令により主制御回路 32 から受信要求信号 B が出ていると、フリップフロップ 332、ディレイライン 335 を経由して受信可フリップフロップ 3313 が動作し、相手側の CPU 1' の CLA 3' に信号線 4-2 を介して伝送路取得許可信号を送出する(第5図参照)。

また、自側の CPU 1 の CLA 3 と相手側の CPU 1' の CLA 3' の伝送路取得要求が同時に発生した場合には、エラーフリップフロップ 3315 が動作してその旨の信号が主制御回路 32 へ出力され

る。またこの時、受信要求信号 B が来ていれば、NAND回路 3316 を介して受信可フリップフロップ 332 が動作させ、信号線 4-2 を介して伝送路取得許可信号を送出する(第6図参照)。

さらに、上記において伝送路取得要求フリップフロップ 3311 が動作した場合は、その出力信号を時間監視回路 34 へ出力して伝送路取得許可信号が返って来るまでの時間監視を行ない、所定時間 T が経過するとタイムアウトのエラーとして、その旨の信号を主制御回路 32 へ出力する(第7図参照)。

上述したように本発明による伝送路取得制御方式は、伝送路取得要求信号および伝送路取得許可信号の送受を2本の双方向性の信号線で行ない得るようになしにしたので、伝送路取得のための信号を伝送する信号線数を従来の2本から4本の半分に削減することが可能となり、その分だけケーブルコストおよびその設置工事費を低減して経済性の向上を図ることができる。また上記信号線数の減少により、その分だけ故障等

の発生頻度も少くなり、システムとしての信頼性の向上を図ることができる。

〔発明の効果〕

以上説明したように本発明によれば、伝送路取得要求信号および伝送路取得許可信号の送受を2本の双方向性の信号線で行ない得るようになしにしたので、伝送路取得のための信号を伝送する信号線数を少なくて経済性および信頼性の向上を図ることが可能な伝送路取得制御方式が提供できる。

4. 図面の簡単な説明

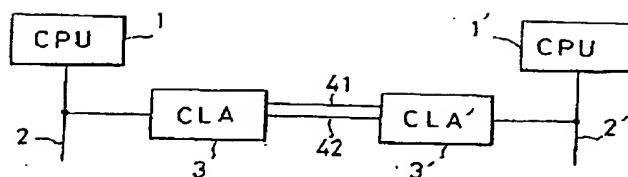
第1図は本発明の一実施例を示す構成図、第2図は第1図における CLA の構成を示すブロック図、第3図は第2図における伝送路取得制御回路の構成を示すロジック図、第4図～第7図は本発明の作用を説明するためのタイムチャート図である。

1, 1' … CPU, 2, 2' … バス, 3, 3' … CLA,
4 … データ・リンクイジ伝送路, 4-1, 4-2 …
信号線, 31 … CPU バスインタフェース,

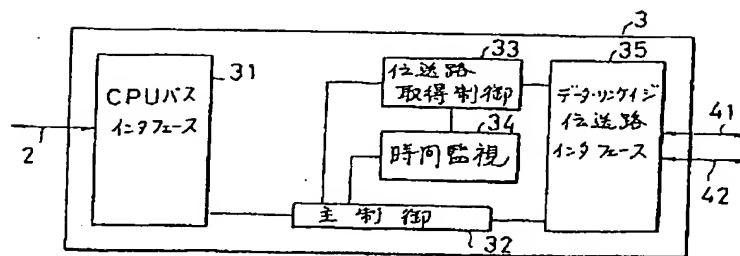
32…伝送路取得制御回路、34…時間監視回路、35…データ・リンクイジ伝送路インターフェース、331, 338, 339, 3310…アンド回路、332, 333, 336, 3311, 3313, 3315…フリップフロップ、334, 337, 3312, 3314, 3318, 3319…ノット回路、336…ディレイライン、3316, 3317…ナンド回路。

出願人代理人弁理士 鈴江武彦

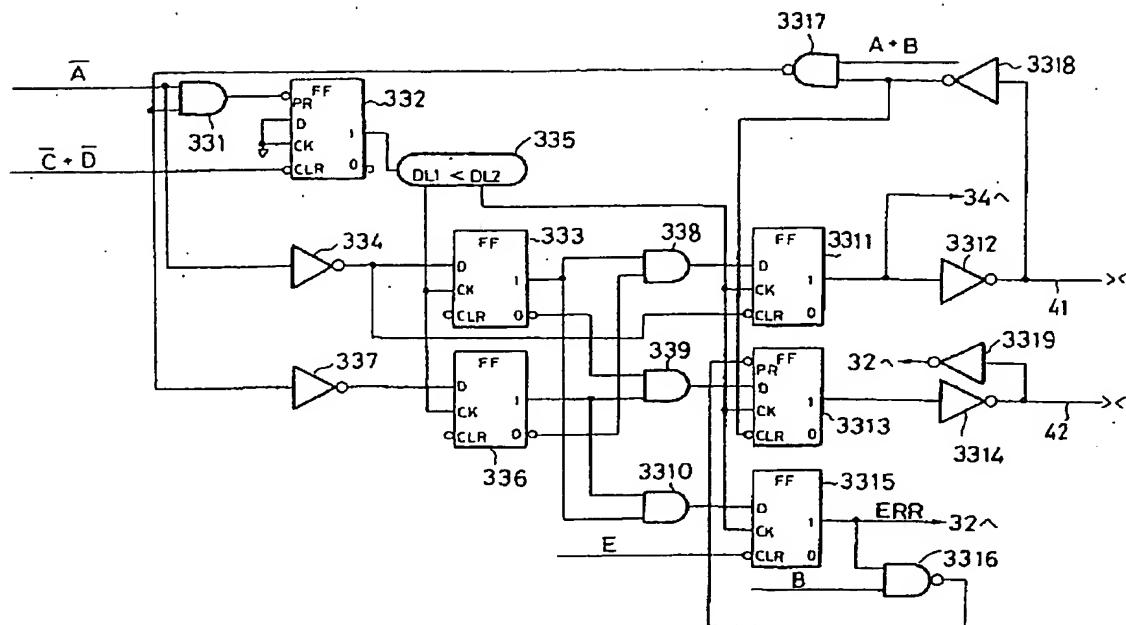
第1図



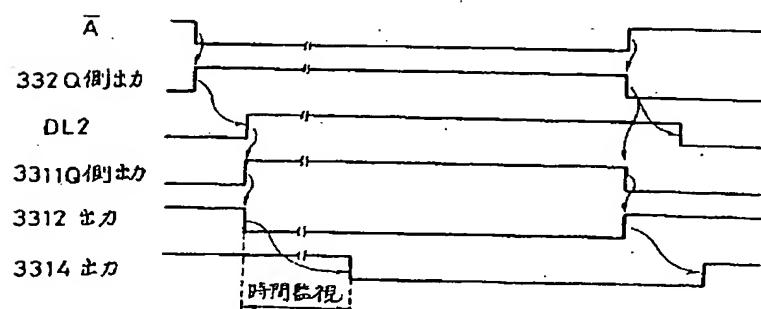
第2図



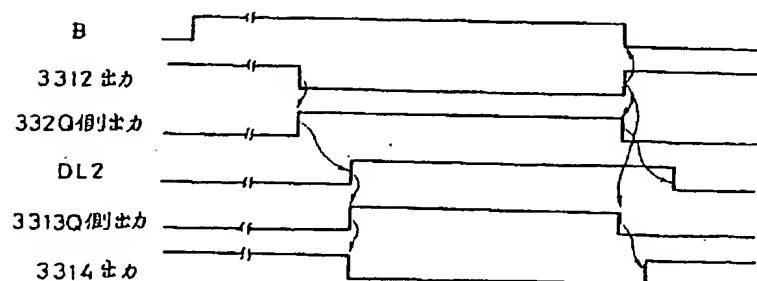
第3図



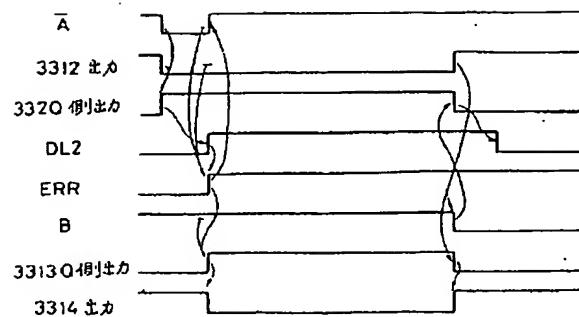
第4図



第5図



第 6 図



第 7 図

